

Abstract of the Disclosure:

The invention relates to a switching transistor presenting reduced switching losses. In the switching transistor, output capacitance is very high when drain/source voltages are low.

- 5 As the drain/source voltage increases, the capacitance falls to such low values that the energy stored in the transistor becomes very low.

MPW/tk

PCTWELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁷ : H01L 29/78	A2	(11) Internationale Veröffentlichungsnummer: WO 00/16407
		(43) Internationales Veröffentlichungsdatum: 23. März 2000 (23.03.00)

(21) Internationales Aktenzeichen: PCT/DE99/02874	(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) Internationales Anmeldedatum: 10. September 1999 (10.09.99)	
(30) Prioritätsdaten: 198 41 754.3 11. September 1998 (11.09.98) DE	Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>
(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Witzelsbacherplatz 2, D-80333 München (DE).	
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): DEBOY, Gerald (DE/DE); Hauptstrasse 10, D-82008 Unterhaching (DE). MÄRZ, Martin (DE/DE); Widderweg 21D, D-85570 Markt Schwaben (DE). HIRLER, Franz (DE/DE); Mozartstrasse 4, D-84424 Isen (DE). WEBER, Hans (DE/DE); Santlchau 112, D-83404 Ainring (DE).	
(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).	

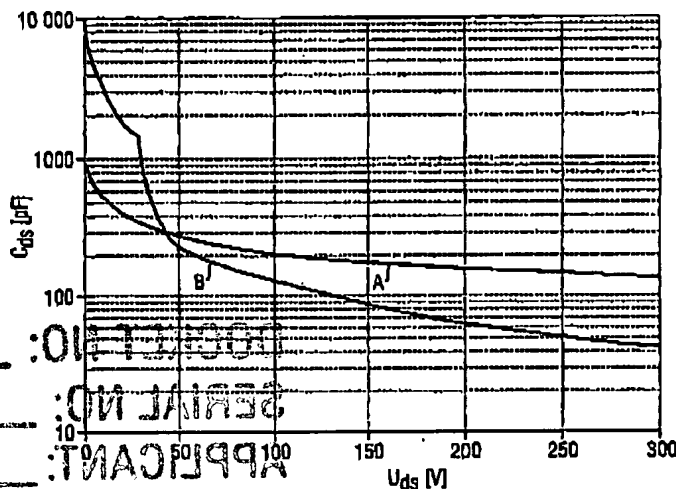
(54) Title: **SWITCHING TRANSISTOR WITH REDUCED SWITCHING LOSSES**(54) Bezeichnung: **GESCHALTETES NETZTEIL MIT REDUZIERTEN SCHALTVERLUSTEN**

(57) Abstract

The invention relates to a switching transistor presenting reduced switching losses. In said switching transistor output capacitance is very high when drain/source voltages are low. As the drain/source voltage increases said capacitance falls to such low values that the energy stored in the transistor becomes very low.

(57) Zusammenfassung

Die Erfindung betrifft einen Schalttransistor mit reduzierten Schaltverlusten. Bei diesem Schalttransistor hat die Ausgangskapazität bei kleinen Drain-Source-Spannungen sehr hohe Werte, wobei diese Kapazität mit steigender Drain-Source-Spannung auf so kleine Werte abfällt, daß die im Transistor gespeicherte Energie sehr niedrige Werte annimmt.



AND GREENBERG PA.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33055

TEL. (954) 952-1100

A: Standard-MOSFET
 A: STANDARD MOSFET
 B: Erfindungsgemäßer MOSFET
 B: MOSFET PROVIDED FOR IN THE INVENTION

11011 U.S. PTO
 09/804325
 03/12/01